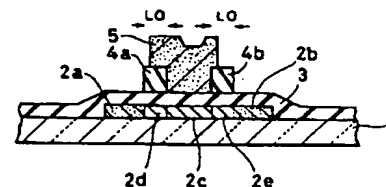


**(54) THIN FILM TRANSISTOR AND ITS MANUFACTURE**

(11) 6-177384 (A) (43) 24.6.1994 (19) JP  
 (21) Appl. No. 5-211027 (22) 4.8.1993 (33) JP (31) 92p.296641 (32) 9.10.1992  
 (71) FUJI XEROX CO LTD (72) SOU YAMADA(2)  
 (51) Int. Cl.<sup>5</sup> H01L29/784, H01L21/336

**PURPOSE:** To suppress the length of the gate offset area of a TFT with high accuracy and reduce the turning-off current of the TFT so as to reduce the characteristic fluctuation of, the TFT by providing an insulating layer which controls the length of the gate offset area on a gate insulating layer.

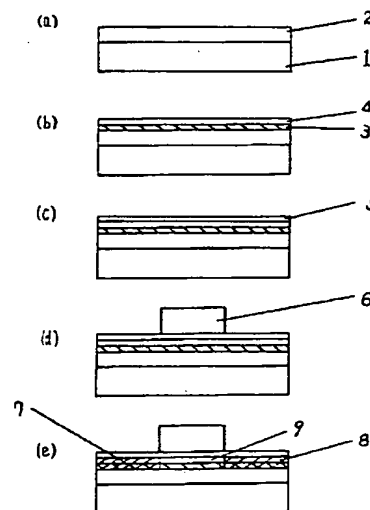
**CONSTITUTION:** Impurity introduction inhibiting layers 4a and 4b having the same length as that LO of gate offset areas 2d and 2e in the channel direction are provided on a gate insulating layer 3. Then a gate electrode 5 is formed so that the electrode 5 can span the layers 4a and 4b and ions are implanted from the top of the electrode 5. Therefore, the channel-direction length LO of the gate offset areas 2d and 2e adjacent to a channel area 2c can be controlled with high accuracy by means of the dimensions of the layers 4a and 4b without relying on the alignment accuracy and the characteristic uniformity of this TFT can be improved.

**(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

(11) 6-177385 (A) (43) 24.6.1994 (19) JP  
 (21) Appl. No. 4-323376 (22) 2.12.1992  
 (71) SEIKO EPSON CORP (72) IZUMI KOBAYASHI  
 (51) Int. Cl.<sup>5</sup> H01L29/784//H01L27/11

**PURPOSE:** To improve the characteristic of a MOS thin film transistor (TFT) by enlarging the grain size of the polysilicon film of the bulk section (source-drain channel area section) of the TFT and, at the same time, to make the polysilicon film compact in texture.

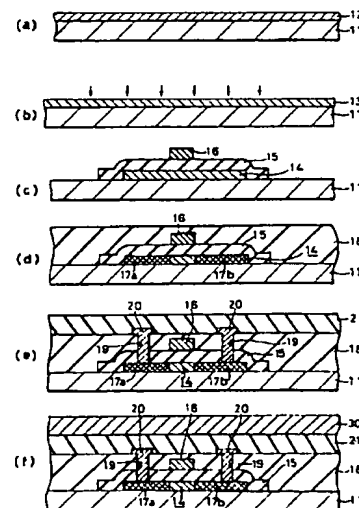
**CONSTITUTION:** The polysilicon film of the bulk section of a MOS thin film transistor (TFT) is formed by continuously forming a polysilicon film 3 containing a TV group metal and another polysilicon film 3 containing no impurity. The grain size of the first-layer polysilicon of the channel section of the TFT is adjusted by adjusting the introducing amount of the impurity at the time of forming the first-layer polysilicon. Therefore, the TFT can have a low turning-off current, high turning-on current, and high ON/OFF ratio. In addition, since the impurity is introduced into the polysilicon film of the channel section without performing any ion implanting process and the introducing quantity of the impurity is adjusted at the time of forming the polysilicon, the threshold voltage  $V_{th}$  of the TFT can be controlled.

**(54) THIN FILM TRANSISTOR**

(11) 6-177386 (A) (43) 24.6.1994 (19) JP  
 (21) Appl. No. 4-350250 (22) 4.12.1992  
 (71) FUJI XEROX CO LTD (72) ICHIRO ASAI(2)  
 (51) Int. Cl.<sup>5</sup> H01L29/784

**PURPOSE:** To obtain a polysilicon thin film transistor (TFT) which can be increased in heat radiating efficiency during the manufacturing process of the TFT without giving any adverse influence to the part of the TFT.

**CONSTITUTION:** In a thin film transistor (polysilicon TFT) using a polysilicon thin film formed on an insulating (glass) substrate 11 as a working layer 14, a heat radiating layer 30 is formed on the TFT so that no adverse influence can be given to the TFT during the manufacturing process of the TFT.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-177386

(43)公開日 平成 6 年(1994) 6 月24日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

9056-4M

H 0 1 L 29/ 78

3 1 1 N

審査請求 未請求 請求項の数 5 (全 7 頁)

(21)出願番号 特願平4-350250

(22)出願日 平成 4 年(1992)12月 4 日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目 3 番 5 号

(72)発明者 浅井 市郎

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72)発明者 加藤 典司

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72)発明者 山田 高幸

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

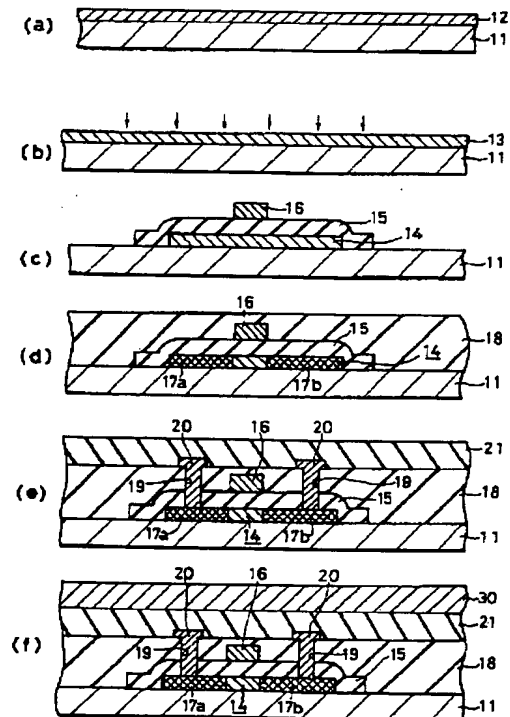
(74)代理人 弁理士 阪本 清孝 (外 1 名)

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】 poly-Si T F T の作製プロセスにおいて T F T 部分に悪影響を与えずに、T F T の放熱効率を増加させることが可能な薄膜トランジスタを得る。

【構成】 絶縁性 (ガラス) 基板 1 1 上に形成されたポリシリコン薄膜を動作層 1 4 として用いる薄膜トランジスタ (poly-Si T F T) において、poly-Si T F T の作製プロセスで T F T 部分に悪影響を与えないようにするため、T F T 形成後に放熱層 3 0 (4 4) を積層する。



## 【特許請求の範囲】

【請求項1】 絶縁性基板上または絶縁膜上に形成されたポリシリコン薄膜を動作層として用いる薄膜トランジスタ (poly-Si TFT) において、TFT形成後に積層される放熱層を具備することを特徴とする薄膜トランジスタ。

【請求項2】 放熱層は、TFT上部であって少なくとも動作層を覆う位置に形成する請求項1記載の薄膜トランジスタ。

【請求項3】 放熱層をTFTの側方位置に形成するとともに、この放熱層の一部が前記動作層の少なくとも一部を覆うように形成された請求項1記載の薄膜トランジスタ。

【請求項4】 放熱層をTFTの側方位置に形成するとともに、前記放熱層は金属配線を介してポリシリコン薄膜に接続された請求項1記載の薄膜トランジスタ。

【請求項5】 金属配線が接続されたポリシリコン薄膜部分を高抵抗領域とした請求項4記載の薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶ディスプレイパネルや密着型イメージセンサ等の画像入出力装置の駆動回路として用いられる薄膜トランジスタに係り、特に、ポリシリコン薄膜を動作層として用いることにより安価なガラス基板上に形成可能な薄膜トランジスタにおける動作層の放熱効率を向上させるための構造に関する。

## 【0002】

【従来の技術】 画像入出力装置の小型化及び高機能化を図るため、前記画像入出力装置の駆動回路には、大面積基板上に多数の素子を同時に形成できる薄膜トランジスタ (TFT) が使用されている。前記基板として安価なガラス板を使用可能とするため、薄膜トランジスタの動作層としては、TFTの作製プロセスを600℃以下に抑え、且つ高移動度を有するpoly-Si薄膜材料が適している。その理由としては、ガラス基板の耐熱温度は、熱歪を考慮すると最高で600℃位と考えられ、また、画像入出力装置の駆動回路の高駆動能力を確保するためには、電子の移動度が高い必要があるからである。すなわち、poly-Si薄膜材料を形成する方法としては、例えば、ガラス基板上にアモルファスシリコン (a-Si) を堆積し、これをパルスレーザであるエキシマレーザにてアニールすることによりpoly-Si薄膜が得られ、この方法によると、紫外線で高エネルギーだが短いパルス幅のビームを出射できるエキシマレーザを用いるため、膜内の欠陥を少なくでき且つガラス基板に熱ダメージを与えにくい。

【0003】 上記したエキシマレーザアニールを用いた従来のpoly-Si薄膜トランジスタの製造方法について、図5を参照しながら説明する。ガラス等の絶縁性基板1

1上にLPCVD法等により1000オングストロームの膜厚にアモルファスシリコン (a-Si) を堆積してa-Si膜12を形成する (図5 (a))。続いて、このa-Si膜12をエキシマレーザによりアニールし、poly-Si膜13とする (図5 (b))。次に、poly-Si膜13を島状にパターニングして動作層14を形成し、更に、SiO<sub>2</sub>の堆積によるゲート絶縁膜15、poly-Siの堆積及びパターニングによるゲート電極16を順次形成する (図5 (c))。続いて、ゲート電極16をマスクとしてイオン注入を行ない、活性化アニールしてソース電極17a及びドレイン電極17bを形成した後、SiO<sub>2</sub>等の堆積による層間絶縁膜18の形成する (図5 (d))。続いて、コンタクト孔19の形成、金属膜の着膜及びパターニングによる配線20の形成、SiN等の着膜によるパッシベーション膜21の形成をそれぞれ行ない、ポリシリコン薄膜を動作層として用いる薄膜トランジスタ (poly-Si TFT) を作製する (図5 (e))。

## 【0004】

【発明が解決しようとする問題点】 上記プロセスで作製されたpoly-Si TFTは、熱伝導率の良好なシリコン (Si) 基板上に直接形成されるTFTとは異なり、熱伝導率が低い絶縁性基板11上に形成される。絶縁性基板11として、ガラス基板を用いた場合、その熱伝導率は0.014 W/cm・degであり、前記Si基板に比較して熱伝導率が2桁以上低くなるので、次のような問題点があった。例えば、液晶ディスプレイ等において、poly-Si TFTから成る駆動回路を前記液晶ディスプレイと同一のガラス基板上に形成する場合、駆動回路では比較的大きな電流が流れるので消費電力も大きくなる。しかしながら、ガラス基板の熱伝導率が小さいため、TFTの動作層14のチャネル領域で発生した熱は散逸されずらく、TFTのチャネル温度が上昇しやすい。

【0005】 具体例で説明すると、チャネル幅が50 μm、チャネル長が10 μm、電界効果移動度が60 cm<sup>2</sup>/V・s、しきい値電圧V<sub>th</sub>が2 Vのn型poly-Si TFTのチャネルを導通状態とし、約40 mVの消費電力となるようにソース電極及びドレイン電極間に電圧を印加したところ、poly-Si TFTの表面温度は170~210℃に達することを確認した。この温度上昇は、電気ストレスによるTFTの劣化を加速し、特にしきい値電圧の上昇等の特性劣化をまねいてしまう。従って、poly-Si TFTは、アモルファス-Si TFTに比較して高速・大電流動作が可能であるにもかかわらず、熱伝導率の低いガラス基板等の絶縁性基板上に作製する場合においては十分な信頼性を確保することができなかった。

【0006】 そこで、チャネル領域で発生した熱を逃す構造として、例えば、ガラス基板と動作層 (半導体活性層) との間に熱伝導率の良好な物質で形成された放熱層を介在させることにより、水平方向に熱を拡散させるこ

とにより基板への放熱面積を大きくし、温度上昇を防止して放熱効率を図ることが考えられる。前記放熱層の材料としては、poly-Si TFTの製造プロセスに適用可能とするために、熱伝導率が良好で且つ基板との密着力が十分であること、上部にTFTを形成するので表面平坦性が良好であること、膜中にTFT特性を損なうような不純物を含まないこと等、多くの条件が必要である。熱伝導率の良好な物質による放熱層としては、アモルファスSi膜、ダイヤモンド薄膜、 $Al_2O_3$ 膜等が存在するが、現時点においては、前記した条件を全て満足するような材料は見当たらない。

【0007】すなわち、例えば、放熱層をダイヤモンド薄膜で形成した場合、ダイヤモンド薄膜自体が汚染源となるとともに、その表面平坦性が悪くなる。また、放熱層を $Al_2O_3$ 膜で形成した場合、基板との密着性が低く放熱層が剥離したり、膜中の不純物がpoly-Si TFTの動作層に混入するという問題がある。また、アモルファスSi膜を使用する場合、熱伝導率が前記2つの膜に比較して低いので、膜厚を厚くする必要があり、その結果表面平坦性が劣化し、TFT特性に悪影響を及ぼす。更に、poly-Si TFTの作製プロセスにおいて、エキシマレーザでアニールしてpoly-Siを得る場合、前記放熱層の存在によりレーザにて溶融されたアモルファスシリコンが固化するときの固化速度が増加してしまうことが確認された。このため、結晶粒径の小さなpoly-Siしか得ることができないという問題が生じた。従って、放熱層を介在させる構造では、poly-Si TFTの作製プロセスに悪影響を与えず且つ良好な特性を有した信頼性の高いpoly-Si TFTを得ることが困難であった。

【0008】本発明は上記実情に鑑みてなされたもので、poly-Si TFTの作製プロセスにおいてTFT部分に悪影響を与えずに、TFTの放熱効率を増加させることが可能な薄膜トランジスタの構造を提供することを目的とする。

【0009】

【課題を解決するための手段】上記従来例の問題点を解消するため本発明に係る薄膜トランジスタは、poly-Si TFTの作製プロセスにおいてTFT部分に悪影響を与えないようにするため、TFTの作製後に放熱層を形成することを要旨とする。すなわち、請求項1の薄膜トランジスタは、絶縁性基板上または絶縁膜上に形成されたポリシリコン薄膜を動作層として用いる薄膜トランジスタ(poly-Si TFT)において、TFT形成後に積層される放熱層を具備することを特徴としている。

【0010】請求項2の薄膜トランジスタは、請求項1記載の薄膜トランジスタにおいて、TFT上部であって少なくとも動作層を覆う位置に放熱層を形成している。

【0011】請求項3の薄膜トランジスタは、請求項1記載の薄膜トランジスタにおいて、放熱層をTFTの側方位置に形成するとともに、この放熱層の一部が前記動

作層の少なくとも一部を覆うように形成している。

【0012】請求項4の薄膜トランジスタは、請求項1記載の薄膜トランジスタにおいて、放熱層をTFTの側方位置に形成するとともに、前記放熱層は金属配線を介してポリシリコン薄膜に接続している。

【0013】請求項5の薄膜トランジスタは、請求項4記載の薄膜トランジスタにおいて、金属配線が接続されたポリシリコン薄膜部分を高抵抗領域としている。

【0014】

10 【作用】請求項1の薄膜トランジスタによれば、放熱層はTFT形成後に積層されるので、poly-Si TFTの作製プロセスにおいて、放熱層の存在によりTFT部分に悪影響を与えることがない。

【0015】請求項2の薄膜トランジスタによれば、動作層を覆う位置に放熱層を形成したので、動作層に発生した熱を効率良く逃がすことができる。

20 【0016】請求項3及び請求項4の薄膜トランジスタによれば、放熱層をTFTの側方位置に形成したので、放熱層をTFTの配線材料と同一材料で同一工程で形成できるので、特に新たな工程を設けることなく放熱層を形成することができる。

【0017】更に、請求項4の薄膜トランジスタによれば、前記放熱層は熱伝導率が良好な金属配線を介してポリシリコン薄膜に接続されているので、動作層に発生した熱を直接放熱層に伝達させることができる。

【0018】請求項5の薄膜トランジスタによれば、金属配線が接続されたポリシリコン薄膜部分を高抵抗領域としているので、各TFTで放熱層を共用することができる。

30 【0019】

【実施例】以下、実施例に基づいて本発明を具体的に説明する。ガラス等の絶縁性基板11上にLPCVD法等により1000オングストロームの膜厚にアモルファスシリコン(a-Si)を500°Cで堆積してa-Si膜12を形成する(図1(a))。続いて、このa-Si膜12をKrFエキシマレーザ(248nm発振、パルス幅20nsec、エネルギー密度450mJ/cm<sup>2</sup>)によりアニールし、poly-Si膜13を形成する(図1

40 (b))。尚、poly-Si膜13は、他のレーザによるアニールや、固相成長法等で形成してもよい。次に、poly-Si膜13を島状にパターニングして動作層14を形成し、更に、LPCVD法により1000オングストロームの膜厚にSiO<sub>2</sub>の堆積してゲート絶縁膜15を形成する。次に、3000オングストロームの膜厚にpoly-Siを堆積し、パターニングして動作層14上に位置するゲート絶縁膜15上にゲート電極16を形成する(図1(c))。続いて、ゲート電極16をマスクとしてイオン注入により、nチャネルTFTとする場合にはリン(P)、pチャネルTFTとする場合にはボロン(B)をドーパントとして注入し、活性化アニールしてソース

電極17a及びドレイン電極17bを形成する。次に、LPCVD法により7000オングストロームの膜厚にSiO<sub>2</sub>を堆積して層間絶縁膜18を形成する。更に、コンタクト孔19の形成、金属膜の着膜及びパターニングによる配線20の形成、SiN等の着膜によるパッシベーション膜21の形成をそれぞれ行なう(図1(e))。

【0020】上記プロセスでポリシリコン薄膜を動作層14として用いる薄膜トランジスタ(poly-Si TFT)を作製した後、スパッタ法により室温にて圧力が4mTorr、2AのDCバイアスの条件で、1μmの膜厚にCuを堆積して少なくともTFT上部を覆うように放熱層30を形成する(図1(f))。Cuの熱伝導率は400W/m・Kと非常に高いので放熱効率を向上させることができる。すなわち、従来構造においては、動作層14で発生したジュール熱は、熱伝導率が1W/m・K以下のガラス(絶縁性)基板11やSiO<sub>2</sub>で形成されたゲート絶縁膜15や層間絶縁膜18を伝わるしかなく、前記発生した熱は動作層14に蓄熱する傾向があったが、上記実施例では放熱層30の存在により、放熱層30から熱を逃がすことができるので、放熱効果を向上させることができる。

ストレス前後におけるしきい値電圧V<sub>th</sub>

サンプル1 (Cu放熱層無し)

サンプル2 (Cu放熱層有り)

【0024】放熱層の無いサンプル1は、導通状態となるストレス印加によりチャネル温度が上昇し、しきい値電圧V<sub>th</sub>が7.5V(変動幅)劣化した。一方、放熱層を有するサンプル2では、チャネル温度の上昇を小さくすることができるので、しきい値電圧V<sub>th</sub>の変動が少ないことが確認できた。

【0025】次に、導通状態とした場合のpoly-Si TFTの消費電力と、しきい値電圧V<sub>th</sub>の変動幅との関係について、図2を参照しながら説明する。図中、実線は本実施例のものであり、点線は従来構造によるものである。従来例のpoly-Si TFTでは、消費電力の上昇とともにpoly-Si TFTの動作層における表面温度は上昇し、しきい値電圧V<sub>th</sub>の変動幅も大きく増加する。本実施例のpoly-Si TFTによれば、しきい値電圧V<sub>th</sub>の変動幅を小さくすることができる。消費電力が20mW以下であれば、しきい値電圧V<sub>th</sub>の変動幅は1V以下に抑えることができる。実際の駆動回路の回路動作はAC駆動であるため、その消費電力はトランジスタ当たり20mW以下程度であり、上記実施例のpoly-Si TFTの構造によれば、信頼性の高いpoly-Si TFTとすることができる。

【0026】上記実施例では、放熱層30の材料としてCuを使用した。熱伝導率が良好であり且つ堆積や加工が容易な材料、例えば、半導体装置の作製において一

【0021】従来例の具体例で述べた条件(チャネル幅が50μm、チャネル長が10μm、電界効果移動度が60cm<sup>2</sup>/V・s、しきい値電圧V<sub>th</sub>が2Vのn型poly-Si TFTを使用し、消費電力を約40mWとした)で放熱効果を比較したところ、poly-Si TFTの表面温度は100℃以下となり、放熱効率の改善を図ることができた。また、放熱層30の堆積及び形成により、TFTが劣化することはなかった。これは、放熱層30をTFTの作製プロセスの最終段で形成するためであり、放熱層30の表面性や熱処理による変性がTFTの特性に影響を与えないからである。

【0022】上記プロセスで作製したpoly-Si TFT(チャネル幅/チャネル長=50μm/6μm)を次の条件でストレス印加し、ストレス前後のしきい値電圧V<sub>th</sub>の変化を評価した。使用したpoly-Si TFTはpチャネル型であり、導通状態となるようにゲート電極、ドレイン電極にそれぞれ-20Vを32000秒間印加すると、表1に示すように、放熱層30の有無によりストレス前後でしきい値電圧が変化した。

【0023】

【表1】

ストレス前	ストレス後
-2.0V	-9.5V
-2.0V	-4.0V

一般的に使用されているMo(熱伝導率が140W/m・K)、Al(熱伝導率が240W/m・K)、Au(熱伝導率が320W/m・K)等の金属でもよい。また、放熱層30を形成する場合において、下層への影響や放熱層の酸化が懸念される場合には、TiN膜等のバリア層を放熱層の下層若しくは上層に配置する。また、放熱層30は、poly-Si TFTの作製プロセス上問題がなければ、金属膜以外のダイヤモンド膜やAIN膜を使用してもよい。更に、熱伝導率の高い半導体膜、例えば、単結晶Si(熱伝導率が170W/m・K)を使用してもよい。また、poly-Si(熱伝導率が20W/m・K)を使用することもできる。すなわち、放熱層30の材料としては、その膜厚をある程度薄くするため、熱伝導率が10W/m・K以上、好ましくは100W/m・K以上であることが必要である。熱伝導率が100W/m・K以上であれば、放熱層3の膜厚を1μm以下としても十分な放熱効果を持たせることができる。また、作成プロセスに問題がなければ、放熱層を保護膜下に形成しても勿論よいが、その場合、保護膜として要求される耐湿性等の諸条件と合致する材料を見出さなければならない。

【0027】本発明の他の実施例について図3及び図4を参照しながら説明する。ガラス等の絶縁性基板11上にLPCVD法等により1000オングストロームの膜厚にアモルファスシリコン(a-Si)を500℃で堆

積してa-Si膜を形成する。続いて、このa-Si膜をKrFエキシマレーザ(248nm発振、パルス幅20nsec、エネルギー密度450mJ/cm<sup>2</sup>)によりアニールし、poly-Si膜を形成する。次に、poly-Si膜を島状にパターニングして動作層14及びこれに連続する接続部40を形成し、更に、LPCVD法により1000オングストロームの膜厚にSiO<sub>2</sub>の堆積し、動作層14を覆うとともに、接続部40の側方位置(図における右側)に延設されるゲート絶縁膜15を形成する。次に、1000オングストロームの膜厚にpoly-Siを堆積し、パターニングして動作層14上に位置するゲート絶縁膜15上にゲート電極16を形成する。

【0028】次に、ゲート電極16及び接続部40を覆うレジスト41をマスクとしてイオン注入によりドーパントを注入し、活性化アニールしてソース電極17a及びドレイン電極17bを形成する(図3(a)、図4(a))。プラズマCVD法により9000オングストロームの膜厚にSiO<sub>2</sub>を堆積し、TF Tを覆うとともにTF Tの側方位置(図における右側)に延設される層間絶縁膜18を形成する。ゲート絶縁膜15及び層間絶縁膜18をパターニングして、TF Tの側方位置のゲート絶縁膜15及び層間絶縁膜18を3μm間隔で除去し、複数の方形孔42を形成する。続いて、ゲート絶縁膜15及び層間絶縁膜18をパターニングして、ソース電極及びドレイン電極上に位置するコンタクト孔19、接続部41上に位置するコンタクト孔43をそれぞれ穿孔する。次に、水素プラズマ処理を行ない、動作層14の半導体とゲート絶縁膜15との界面のダングリングボンドを水素で終端して欠陥準位密度を低減させる。

【0029】アルミニウム(Al)を3000オングストロームの膜厚に着膜し、フォトリソ法によりパターニングして、ソース電極17a及びドレイン電極17bに接続される配線20を形成する。このパターニングの際に、コンタクト孔43を覆う引き出し部45が端部に形成された方形の放熱層44を形成し、前記方形孔43を覆うように構成する。歩留り上問題がなければ、放熱層44と配線20を異なった金属で形成してもかまわない。放熱層44は、方形孔42の存在により表面が凹凸となるように畝状に形成される。更に、全体を覆うようにSiN等の着膜によるパッシベーション膜21を形成する。パッシベーション膜21には、前記放熱層44を大気にさらすための開口部46を設けている。

【0030】上記実施例によれば、放熱層44を熱伝導率の高いAl(熱伝導率が240W/m・K)で形成し、この放熱層44はコンタクト孔43及び接続部40により直接動作層14に接続されているので、動作層14で発生したジュール熱は、放熱層44と伝わって大気中に放熱されるので、放熱効果の向上を図ることができる。その結果、TF Tの温度上昇を抑えることができ、しきい値変動等の特性劣化を防止することができる。ま

た、放熱層44をTF Tの配線20の材料と同一材料で同一工程で形成できるので、特に新たな工程を設けることなく放熱層44を形成することができ、製造プロセスの簡略化が図れる。また、放熱層44を畝状に形成したので、大気に触れる表面積を広くすることができ、放熱効率を向上させることができる。また、放熱層44と配線20との間には、ドーパントが注入されていない高抵抗領域の接続部40が存在し、接触抵抗は100MΩと非常に高いため、放熱層44により生じる容量性の負荷がTF Tの動作に影響を与えることを防いでいる。従って、上記実施例では各TF Tに対して放熱層44を形成するように構成したが、放熱層44を複数のTF Tで共用することが可能であり、その結果、放熱層44の占有面積を低減させて小型化を図ることができる。

【0031】

【発明の効果】請求項1の薄膜トランジスタによれば、放熱層はTF T形成後に積層されるので、poly-Si TF Tの作製プロセスにおいて、放熱層の存在によりTF T部分に悪影響を与えることがなく、信頼性の高いpoly-Si TF Tを得ることができる。

【0032】請求項2の薄膜トランジスタによれば、動作層を覆う位置に放熱層を形成したので、動作層に発生した熱を効率良く逃がすことができ、放熱効果の向上を図ることができる。

【0033】請求項3及び請求項4の薄膜トランジスタによれば、放熱層をTF Tの側方位置に形成したので、放熱層をTF Tの配線材料と同一材料で同一工程で形成できるので、特に新たな工程を設けることなく放熱層を形成することができる。

【0034】また、請求項4の薄膜トランジスタによれば、前記放熱層は熱伝導率が良好な金属配線を介してポリシリコン薄膜に接続されているので、動作層に発生した熱を直接放熱層に伝達させ、放熱効果の向上を図ることができる。

【0035】請求項5の薄膜トランジスタによれば、金属配線が接続されたポリシリコン薄膜部分を高抵抗領域としているので、各TF Tで放熱層を共用することができ、放熱層の占有面積を低減させることができる。

【図面の簡単な説明】

【図1】 (a)ないし(f)は、本発明の一実施例に係るpoly-Si TF Tの製造プロセスを説明するための製造工程断面説明図である。

【図2】 実施例のpoly-Si TF Tによる消費電力としきい値電圧V<sub>TH</sub>の変動幅との関係を示すグラフ図である。

【図3】 (a)ないし(e)は、本発明の他の実施例に係るpoly-Si TF Tの製造プロセスを説明するための製造工程断面説明図である。

【図4】 (a)ないし(d)は、図3の実施例のpoly-Si TF Tの製造プロセスを説明するための製造工程平

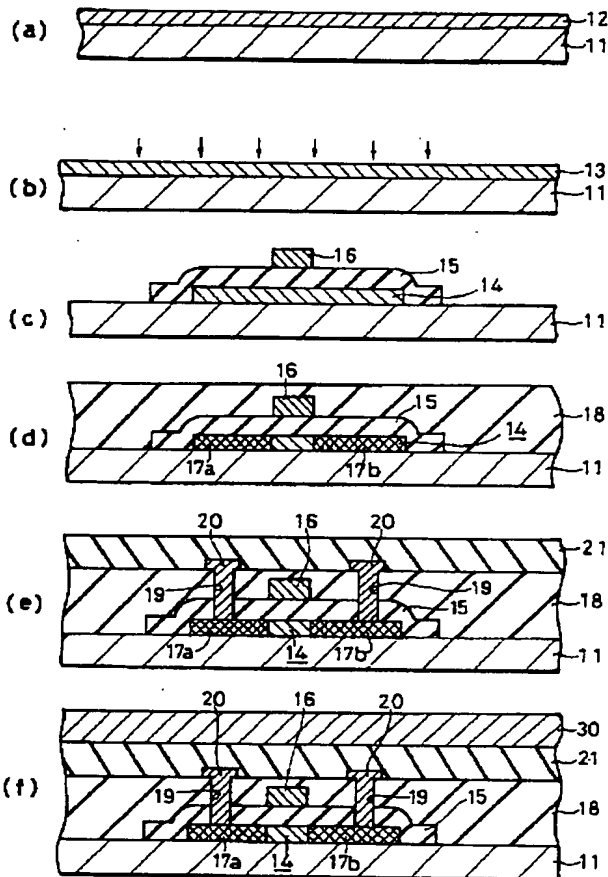
面説明図である。

【図5】 (a) ないし (d) は、従来のpoly-Si TFTの製造プロセスを説明するための製造工程図である。

【符号の説明】

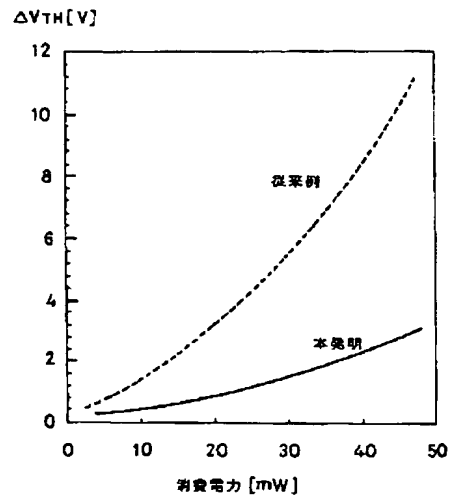
11…絶縁性基板、12…a-Si膜、13…poly-Si膜、14…動作層、15…ゲート絶縁膜、1

【図1】

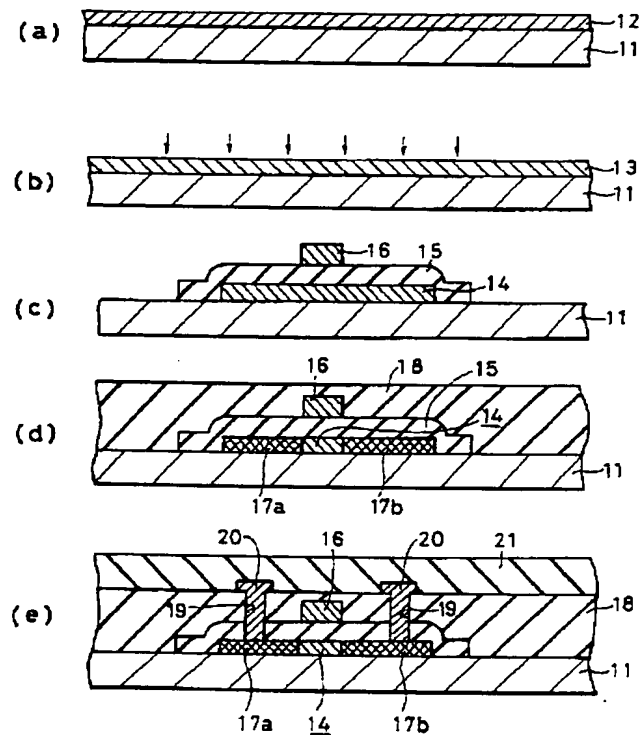


6…ゲート電極、17a…ソース電極、17b…ドレイン電極、18…層間絶縁膜、19…コンタクト孔、20…配線、21…パッシベーション膜、30…放熱層、40…接続部、42…方形孔、43…コンタクト孔、44…放熱層、45…引き出し部、46…開口部

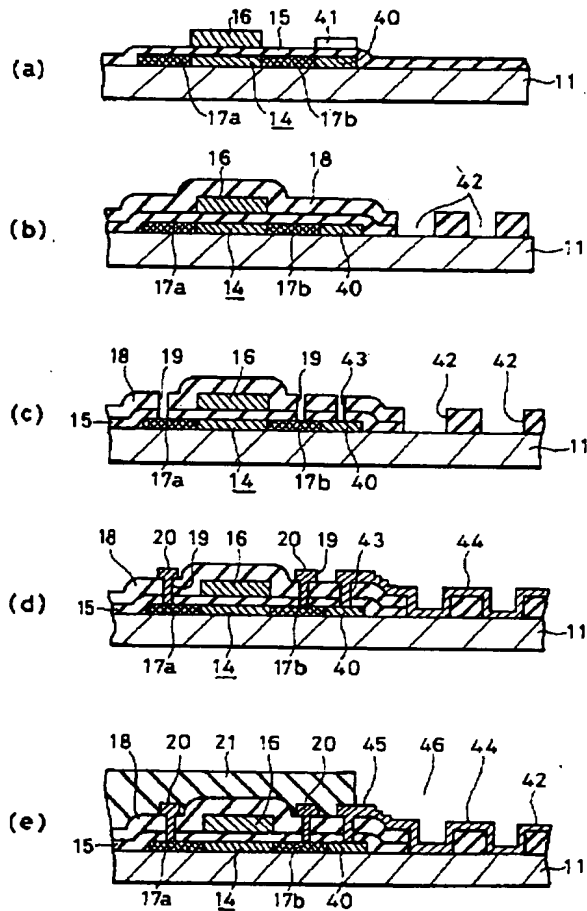
【図2】



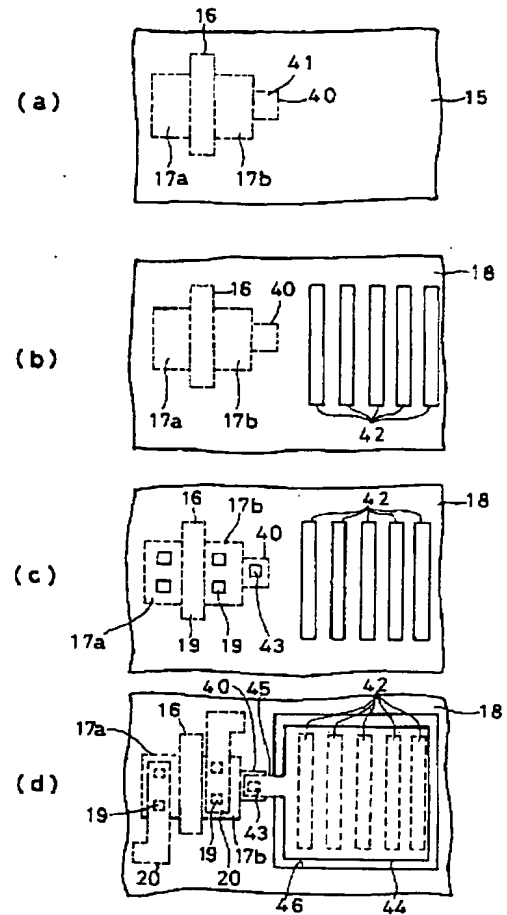
【図5】



【図 3】



【図 4】



【手続補正書】

【提出日】平成 5 年 7 月 2 8 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図 5

【補正方法】変更

【補正内容】

【図 5】 (a) ないし (e) は、従来の poly-Si T F T の製造プロセスを説明するための製造工程図である。